

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-154171

(43)Date of publication of application : 27.05.1992

(51)Int.Cl.

H01L 29/784

(21)Application number : 02-280201

(71)Applicant : TOSHIBA CORP

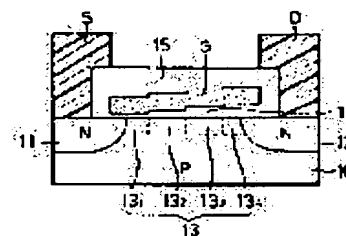
(22)Date of filing : 17.10.1990

(72)Inventor : SHIRAI KOJI

(54) SEMICONDUCTOR DEVICE**(57)Abstract:**

PURPOSE: To alleviate a limit of a responding speed, to reduce an ON resistance and to improve a current driving capacity by optimizing an electric field distribution in a MOSFET to enhance its withstand voltage, and shortening a distance between a source and a drain to be miniaturized.

CONSTITUTION: The thickness of a gate insulating film 14 of a MOSFET is gradually reduced in an impurity concentration in the order of channel regions 13 (131, 132, 133, 134) sequentially existing from the region 131 toward the region 13 at a source side. That is, an electric field distribution is so optimized that the distribution of the thickness of the film 14 and the distribution of the impurity concentration of the region 13 are controlled to make an electric field in the MOSFET uniform. Thus, reliability of the film 14 at a drain side is obtained, a threshold value voltage is reduced, and its electric withstand voltage can be improved. Since a distance between the source and the drain is shortened to be miniaturized, a switching speed is improved by reducing the thickness of the film 14 as an average, its ON resistance is reduced, and a current driving capacity can easily be improved.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2744126号

(45) 発行日 平成10年(1998) 4月28日

(24) 登録日 平成10年(1998) 2月6日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 29/78

H 0 1 L 29/78

3 0 1 G

3 0 1 H

請求項の数 6 (全 6 頁)

(21) 出願番号 特願平2-280201

(22) 出願日 平成2年(1990)10月17日

(65) 公開番号 特開平4-154171

(43) 公開日 平成4年(1992) 5月27日

審査請求日 平成8年(1996) 5月23日

(73) 特許権者 999999999

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 白井 浩司

神奈川県川崎市幸区小向東芝町1番地

株式会社東芝多摩川工場内

(74) 代理人 弁理士 鈴江 武彦 (外3名)

審査官 岡 和久

(56) 参考文献 特開 昭53-101986 (J P, A)

(54) 【発明の名称】 半導体装置

1

(57) 【特許請求の範囲】

【請求項1】 第1導電型の半導体基板の表面の一部に第2導電型の不純物拡散層からなるソース領域およびドレイン領域がそれぞれ形成され、このソース・ドレイン間のチャンネル領域上にゲート絶縁膜を介してゲート電極が形成された絶縁ゲート型電界効果トランジスタを有する半導体装置において、

上記絶縁ゲート型電界効果トランジスタのゲート絶縁膜の膜厚は、ソース側からドレイン側に向かって少なくとも2段の階段状に厚くなっており、この膜厚が互いに異なるゲート絶縁膜下のそれぞれのチャンネル領域の不純物濃度は互いに異なり、膜厚が厚い部分のゲート絶縁膜下のチャンネル領域が膜厚の薄い部分のゲート絶縁膜下のチャンネル領域よりも不純物濃度が低くなっていることを特徴とする半導体装置。

2

【請求項2】 第1導電型の半導体基板の表面の一部に第2導電型の不純物拡散層からなるソース領域およびドレイン領域がそれぞれ形成され、このソース・ドレイン間のチャンネル領域上にゲート絶縁膜を介してゲート電極が形成された絶縁ゲート型電界効果トランジスタを有する半導体装置において、

上記絶縁ゲート型電界効果トランジスタのゲート絶縁膜の膜厚は、ソース・ドレイン間の中央部に対応する部分が最も薄くなり、この部分からソース側およびドレイン側にそれぞれ向って少なくとも2段の階段状に厚くなっており、この膜厚が互いに異なるゲート絶縁膜下のそれぞれのチャンネル領域の不純物濃度は互いに異なり、膜厚が厚い部分のゲート絶縁膜下のチャンネル領域が膜厚の薄い部分のゲート絶縁膜下のチャンネル領域よりも不純物濃度が低くなっていることを特徴とする半導体装置。

3

【請求項3】請求項1または2記載の半導体装置において、前記膜厚が互いに異なるゲート絶縁膜下のそれぞれのチャンネル領域の閾値電圧がほぼ等しくなるように設定されていることを特徴とする半導体装置。

【請求項4】第1導電型の半導体基板と、
上記基板の表面の一部に形成された第2導電型の不純物拡散層からなるソース領域と、
上記基板の表面の一部に上記ソース領域と離間して形成された第2導電型の不純物拡散層からなるドレイン領域と、
上記ソース領域近傍の上記基板上に第1の膜厚のゲート絶縁膜を介して設けられたゲート電極の第1の部分と、
上記ドレイン領域近傍の上記基板上に上記第1の膜厚よりも大きな第2の膜厚のゲート絶縁膜を介して設けられ、上記ゲート電極の第1の部分と電気的に接続されたゲート電極の第2の部分と、
上記ゲート電極の第1の部分の下部に位置し、第1の不純物濃度を有する第1のチャンネル領域と、
上記ゲート電極の第2の部分の下部に位置し、上記第1の不純物濃度より低く上記基板の不純物濃度よりは高い第2の不純物濃度を有する第2のチャンネル領域と
を具備したことを特徴とする半導体装置。

【請求項5】第1導電型の半導体基板と、
上記基板の表面の一部に形成された第2導電型の不純物拡散層からなるソース領域と、
上記基板の表面の一部に上記ソース領域と離間して形成された第2導電型の不純物拡散層からなるドレイン領域と、
上記ソース領域近傍の上記基板上に第1の膜厚のゲート絶縁膜を介して設けられたゲート電極の第1の部分と、
上記ゲート電極の第1の部分よりはドレイン領域に近い位置に上記基板上に上記第1の膜厚よりも大きな第2の膜厚のゲート絶縁膜を介して設けられ、上記ゲート電極の第1の部分と電気的に接続されたゲート電極の第2の部分と、
上記ゲート電極の第2の部分よりはドレイン領域に近い位置に上記基板上に上記第2の膜厚よりも大きな第3の膜厚のゲート絶縁膜を介して設けられ、上記ゲート電極の第2の部分と電気的に接続されたゲート電極の第3の部分と、
上記ゲート電極の第3の部分よりはドレイン領域に近い位置に上記基板上に上記第3の膜厚よりも大きな第4の膜厚のゲート絶縁膜を介して設けられ、上記ゲート電極の第3の部分と電気的に接続されたゲート電極の第4の部分と、
上記ゲート電極の第1の部分の下部に位置し、第1の不純物濃度を有する第1のチャンネル領域と、
上記ゲート電極の第2の部分の下部に位置し、上記第1の不純物濃度よりも低い第2の不純物濃度を有する第2のチャンネル領域と、

4

上記ゲート電極の第3の部分の下部に位置し、上記第2の不純物濃度よりも低い第3の不純物濃度を有する第3のチャンネル領域と、

上記ゲート電極の第4の部分の下部に位置し、上記第3の不純物濃度よりも低い第4の不純物濃度を有する第4のチャンネル領域と

を具備したことを特徴とする半導体装置。

【請求項6】請求項5記載の半導体装置において、前記第4の不純物濃度が前記基板の不純物濃度よりも高くされていることを特徴とする半導体装置。

【発明の詳細な説明】

【発明の目的】

（産業上の利用分野）

本発明は、個別半導体素子あるいは半導体集積回路などの半導体装置に係り、特に半導体基板上に形成されるMOS FET（絶縁ゲート型電界効果トランジスタ）の構造に関する。

（従来技術）

従来のMOS FETは、例えば第4図に示すように、P型の半導体基板40の表面の一部にN型の不純物拡散層からなるソース領域41およびドレイン領域42がそれぞれ形成され、このソース・ドレイン間のチャンネル領域43上にゲート絶縁膜44を介してゲート電極45が形成され、上記ソース領域41およびドレイン領域42に対応してソース電極46およびドレイン電極47がコンタクトしている。この場合、ゲート絶縁膜44の厚さが均一であった。なお、48は層間絶縁膜である。

このため、素子を微細化したり、高耐圧化したりする場合、ゲート絶縁膜44の厚さは最も電界の強い部分（ドレイン・ゲート電極間）で決まるので、ゲート絶縁膜44を余り薄くすることができず、スイッチング速度（応答速度）が制限されていた。また、ゲート絶縁膜44を余り薄くすることができないので、チャンネル領域43に発生する反転層の不純物濃度も低くなり、オン抵抗を低減させたり電流駆動能力を向上させることが厳しかった。

（発明が解決しようとする課題）

上記したように従来のMOS FETは、素子を微細化したり、高耐圧化したりする場合、ゲート絶縁膜を余り薄くすることができないので、応答速度が制限され、オン抵抗を低減させたり電流駆動能力を向上させることが厳しいという問題がある。

本発明は、上記問題点を解決すべくなされたもので、その目的は、MOS FET内の電界分布を最適化して高耐圧化したり、ソース・ドレイン間距離を短縮して微細化することが可能になり、MOS FETの応答速度の制限を緩和でき、オン抵抗を低減させたり電流駆動能力を向上させることが容易になる半導体装置を提供することにある。

【発明の構成】

（課題を解決するための手段）

本発明は、第1導電型の半導体基板の表面の一部に第

5

2導電型の不純物拡散層からなるソース領域およびドレイン領域がそれぞれ形成され、このソース・ドレイン間のチャンネル領域上にゲート絶縁膜を介してゲート電極が形成された絶縁ゲート型電界効果トランジスタを有する半導体装置において、上記絶縁ゲート型電界効果トランジスタのゲート絶縁膜の膜厚は、ソース側からドレイン側に向って、または、ソース・ドレイン間の中央部に対応する部分からソース側およびドレイン側にそれぞれ向って少なくとも2段の階段状に厚くなっており、この膜厚が互いに異なるゲート絶縁膜下のそれぞれのチャンネル領域の不純物濃度は互いに異なり、膜厚が厚い部分のゲート絶縁膜下のチャンネル領域が膜厚が薄い部分のゲート絶縁膜下のチャンネル領域よりも不純物濃度が低くなっていることを特徴とする。

(作 用)

最も電界の強い部分(ドレイン・ゲート電極間)のゲート絶縁膜を最も厚くすると共にその直下のチャンネル領域の不純物濃度を減らしているのので、即ち、ゲート絶縁膜の膜厚の分布およびチャンネル領域の不純物濃度の分布を制御することによって、MOS FET内の電界が均一化するよう電界分布を最適化しているのので、ドレイン側でのゲート絶縁膜の信頼性の確保と閾値電圧の低減、電気的耐圧の向上を実現することが可能になる。

また、ドレインからソースへの空乏層のパンチスルー降伏を防ぎ、ソース・ドレイン間距離を短縮して微細化することが可能になり、平均としてのゲート絶縁膜の膜厚の低減によってスイッチ速度を向上させ、オン抵抗を低減させたり電流駆動能力を向上させることが容易になる。

さらに、前記膜厚が互いに異なるゲート絶縁膜下のそれぞれのチャンネル領域の閾値電圧がほぼ等しくなるように設定することにより、電界の均一性および閾値電圧の均一性をそれぞれ最適化することが可能になる。

(実施例)

以下、図面を参照して本発明の実施例を詳細に説明する。

第1図は、第1実施例に係る半導体装置(個別半導体素子あるいは半導体集積回路)におけるMOS FET部を示しており、第1導電型(本例ではP型)の半導体基板10の表面の一部に第2導電型(本例ではN型)の不純物拡散層からなるソース領域11およびドレイン領域12がそれぞれ形成され、このソース・ドレイン間のチャンネル領域13上にゲート絶縁膜14を介してゲート電極Gが形成され、上記ソース領域11aおよびドレイン領域12に対応してソース電極Sおよびドレイン電極Dがコンタクトしている。この場合、上記MOS FETのゲート絶縁膜14の膜厚は、ソース側からドレイン側に向って少なくとも2段

(本例では4段)の階段状に厚くなっており、この膜厚が互いに異なるゲート絶縁膜下のそれぞれのチャンネル領域の不純物濃度は互いに異なり、膜厚が厚い部分のゲ

6

ト絶縁膜下のチャンネル領域が膜厚が薄い部分のゲート絶縁膜下のチャンネル領域よりも不純物濃度が低くなっている。即ち、ソース側のチャンネル領域13₁からドレイン側のチャンネル領域13₄に向って順次存在するチャンネル領域(13₁、13₂、13₃、13₄)の順で不純物濃度(P₁、P₂、P₃、P₄)が次第に低くなっている(P₁>P₂>P₃>P₄)。

次に、上記したようにゲート絶縁膜14の膜厚が4段に形成されたNチャンネルMOS FETの形成方法の一例について第2図(a)乃至(n)を参照しながら簡単に説明する。

まず、第2図(a)に示すように、P型シリコン基板10に対して950℃のO₂雰囲気中でのドライ酸化により全体に200Åの第1のゲート絶縁膜(SiO₂) 21を形成する。

次に、第2図(b)に示すように、イオン注入法により基板全面にP型不純物のイオン(例えばボロニオンB⁺)を注入した後、950℃のN₂雰囲気中で30分のアニール処理を行う。

次に、第2図(c)に示すように、フォトエッチング法により前記第1ゲート絶縁膜21の一部を開口し、この開口部22にイオン注入法によりボロニオンB⁺を注入する。ここで、23はフォトレジストである。

次に、第2図(d)に示すように、950℃のO₂雰囲気中でのドライ酸化により上記開口部22に200Åの第2ゲート絶縁膜(SiO₂) 24を形成する。この時、同時に、前記第1ゲート絶縁膜21は300Åに成長する。

次に、第2図(e)に示すように、フォトエッチング法により前記第2ゲート絶縁膜24の一部を開口し、この開口部25にイオン注入法によりボロニオンB⁺を注入する。ここで、26はフォトレジストである。

次に、第2図(f)に示すように、950℃のO₂雰囲気中でのドライ酸化により上記開口部25に150Åの第3ゲート絶縁膜(SiO₂) 27を形成する。この時、同時に、前記第2ゲート絶縁膜24は250Å、前記第1ゲート絶縁膜21は350Åに成長する。

次に、第2図(g)に示すように、フォトエッチング法により前記第3ゲート絶縁膜27の一部を開口し、この開口部28にイオン注入法によりボロニオンB⁺を注入する。ここで、29はフォトレジストである。

次に、第2図(h)に示すように、900℃のO₂雰囲気中でのドライ酸化により上記開口部28に100Åの第4ゲート絶縁膜(SiO₂) 30を形成する。この時、同時に、前記第3ゲート絶縁膜27は200Å、第2ゲート絶縁膜24は300Å、前記第1ゲート絶縁膜21は400Åに成長する。

次に、第2図(i)に示すように、CVD(化学気相成長)法により基板全面にポリシリコン膜31を2000Åの厚さに堆積する。

次に、第2図(j)に示すように、フォトエッチング法により前記ポリシリコン膜31をパターニングしてゲート電極Gを形成する。この後、このゲート電極Gをマス

クにして前記第1ゲート絶縁膜21の露出部を除去する。これにより、第4ゲート絶縁膜30、第3ゲート絶縁膜27、第2ゲート絶縁膜24、第1ゲート絶縁膜21の順で4段の階段状に厚くなったゲート絶縁膜14が得られると共に、第4ゲート絶縁膜30、第3ゲート絶縁膜27、第2ゲート絶縁膜24、第1ゲート絶縁膜21の下に不純物濃度 (P_1 、 P_2 、 P_3 、 P_4) が順次低くなったチャネル領域 (13_1 、 13_2 、 13_3 、 13_4) が存在するようになる。さらに、全面にイオン注入法によりN型不純物のイオン (例えばヒ素イオン As^+) を注入する。

次に、第2図(k)に示すように、900℃の O_2 雰囲気中でのドライ酸化により基板上の全面を覆うように200Åの絶縁膜 (SiO_2) 32を形成し、同時に前記注入されたヒ素イオンを活性化してソース領域11およびドレイン領域12を形成する。

次に、第2図(l)に示すように、CVD法により基板全面に層間絶縁膜 (SiO_2) 15を0.5μmの厚さに堆積した後、950℃の N_2 雰囲気中で10分のアニール処理を行う。

次に、第2図(m)に示すように、フォトエッチング法により前記層間絶縁膜15の一部を開口してコンタクトホール33を形成する。

次に、第2図(n)に示すように、基板全面に金属配線膜 (例えばAl) を1μmの厚さに蒸着した後、フォトエッチング法により上記金属配線膜をパターンニングすることにより、上記コンタクトホール33を通して前記ソース領域11およびドレイン領域12にコンタクトするソース電極Sおよびドレイン電極Dを形成し、400℃でシンター処理を行う。

上記したような第1実施例のMOS FETによれば、ゲート絶縁膜14のうちで最も電界の強い部分 (ドレイン・ゲート電極間) を最も厚くすると共にその直下のチャネル領域134の不純物濃度を最も減らしている。即ち、ゲート絶縁膜14の膜厚の分布およびチャネル領域131~134の不純物濃度の分布を制御することによって、MOS FET内の電界が均一化するように電界分布を最適化することができる。

従って、ドレイン・ゲート電極間の電界が従来例よりも弱まり、ドレイン接合の降伏電圧が上ると共に、ホットキャリアによるゲート絶縁膜14の破壊が起き難くなり、素子の信頼性が向上する。また、ソース・ドレイン間のパンチ耐圧が向上し、ドレイン領域12からソース領域11への空乏層のパンチスルー降伏を防ぎ、ソース・ドレイン間距離 (ゲート長) を短縮して微細化することが可能になる。また、ゲート絶縁膜14の膜厚の平均値が低減するので、ゲート当りの電流駆動能力が向上し、スイッチング速度が向上し、チャネル抵抗分が低減する。これらのことから、従来例よりも素子面積を大幅に減らし、素子動作速度を大幅に向上させることが可能になる。

さらに、前記膜厚が互いに異なるゲート絶縁膜14下のそれぞれのチャネル領域131~134の閾値電圧がほぼ等しくなるように設定することにより、電界の均一性および閾値電圧の均一性をそれぞれ最適化することが可能になる。

第3図は、第2実施例に係る半導体装置におけるドレイン・ソース切換え可能型のMOS FET部を示しており、第1実施例のMOS FET部と比べて、ゲート絶縁膜14'の膜厚は、ソース・ドレイン間の中央部に対応する部分から一方のソース・ドレイン電極SD側および他方のソース・ドレイン電極SD'側にそれぞれ向って少なくとも2段 (本例では4段) の階段状に厚くなっており、この膜厚が順次異なるゲート絶縁膜14'下のそれぞれのチャネル領域の不純物濃度は互いに異なり、膜厚が厚い部分のゲート絶縁膜下のチャネル領域が膜厚が薄い部分のゲート絶縁膜下のチャネル領域よりも不純物濃度が低くなっている。即ち、ソース・ドレイン間の中央部のチャネル領域131から一方のソース・ドレイン領域16側のチャネル領域134または他方のソース・ドレイン領域16'側のチャネル領域134'に向って順次存在するチャネル領域 (13_1 、 13_2 、 13_3 、 13_4) の順、および、(13_1 、 $13_2'$ 、 $13_3'$ 、 $13_4'$) の順でそれぞれの不純物濃度 P_1 、(P_2 、 P_2')、(P_3 、 P_3')、(P_4 、 P_4') が次第に低くなっている ($P_1 > P_2 \hat{A} P_2' > P_3 \hat{A} P_3' > P_4 \hat{A} P_4'$)。なお、第3図において、G'はゲート電極であり、第1図中と同一部分には同一符号を付している。

上記したような第2実施例のMOS FETによれば、ドレイン・ソースの切換えを行った場合でも前記第1実施例と同様の効果が得られるという利点がある。

[発明の効果]

上述したように本発明の半導体装置によれば、MOS FET内の電界分布を最適化することにより、ドレイン側でのゲート絶縁膜の信頼性の確保と閾値電圧の低減、電氣的耐圧の向上を実現することが可能になる。また、ドレイン領域からソース領域への空乏層のパンチスルー降伏を防ぎ、ゲート長を短縮して微細化することが可能になり、平均としてのゲート絶縁膜の膜厚の低減によってスイッチング速度を向上させ、オン抵抗を低減させたり電流駆動能力を向上させることが容易になる。

【図面の簡単な説明】

第1図は本発明の第1実施例に係るMOS FETを示す断面図、第2図(a)乃至(n)は第1図中のMOS FETの形成方法の一例を示す断面図、第3図は本発明の第2実施例に係るMOS FETを示す断面図、第4図は従来のMOS FETを示す断面図である。

10……半導体基板、11……ソース領域、12……ドレイン領域、13、131~134、131'~134'……チャネル領域、14、14'……ゲート絶縁膜、15……層間絶縁膜、G、G'……ゲート電極、S……ソース電極、D……ドレイン電極、SD、SD'……ソース・ドレイン電極、16、16'

Fig. 1 consists of four cross-sectional views of a semiconductor device, labeled (k), (l), (m), and (n), showing the progression of a manufacturing process.

- (k)** Shows a substrate with a P-type region 10 and N-type regions 11 and 12. A gate 14 is formed on the surface, with a gate oxide 15 and a gate electrode 32. A layer 11 is also indicated.
- (l)** Shows the same structure as (k), but with a layer 15 (gate oxide) and a gate electrode 32. A layer 11 is also indicated.
- (m)** Shows the same structure as (l), but with a layer 15 (gate oxide) and a gate electrode 32. A layer 11 is also indicated.
- (n)** Shows the same structure as (m), but with a layer 15 (gate oxide) and a gate electrode 32. A layer 11 is also indicated.

【第4図】

